



This course covers the VPX and Open VPX VITA standards

Objectives

- Providing VMEbus-based systems with support for switched fabrics.
- Describing the new 7-row high speed connector rated up to 6.25 Gbit/s.
- Clarifying alignment and keying requirements.
- Supporting PMC,FMC (VITA 57) and XMC (VITA 42) mezzanines.
- Implementing Hybrid backplanes to accommodate VME64, VXS and VPX boards.
- The course also explains the interoperability improvements offered by the Open VPX standard through the implementation of predefined system topologies.
- This course has been delivered several times to companies developing defense and avionics equipments.

A more detailed course description is available on request at formation@ac6-formation.com

Prerequisites and related courses

- Basic knowledge of high-speed serial interconnect is recommended, such as PCIe, SRIO or Gigabit/10G Ethernet.
- See our courses on PCI Express reference cours [IC4 - PCI Express 3.0](#), RapidIO reference cours [IC5 - RapidIO 3.0](#), Gigabit Ethernet, reference cours [N1 - Ethernet and switching](#) and 10 Gigabit Ethernet, reference cours [N3 - Ethernet 10 Gigabit](#)

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

VPX STANDARD

- Objectives of this standard
 - Limitations of shared bus system
 - Implementation of a switch fabric
 - Evolutionary roadmap for VME users
- Overview, definitions
- System signals
 - Power supply
 - System controller
- Board form factor
 - Connector pin definitions, P0 utility connector
 - Alignment and keying
 - Electrical budgets for protocol standards
 - Power wafer current ratings
 - Connector pin definitions, P1
 - 3U modules, P2 connector, differential vs single-ended pinout
 - 6U modules, P2-P6 connectors
- Backplane
 - Power delivery
 - Backplane fabric connections electrical requirements
 - System management signals connection
 - Hybrid backplane
 - Example: five slot fabric full mesh backplane routing

VME, SRIO, PCI EXPRESS AND ETHERNET ON VPX FABRIC CONNECTOR

- VME bus signals mapping on VPX
 - SYSRESET management
 - P3-P6 connector pin mappings
- Serial RapidIO on VPX fabric connector
 - Assigning Serial RapidIO ports to the VPX P1/J1 connector
- PCI Express on VPX fabric connector
 - Reference clock
 - System reset
 - Assigning PCIe ports to the VPX P1/J1 connector
- Gigabit Ethernet control plane on VPX fabric connector
 - 1000BASE-BX or 1000BASE-KX interface on each of the Ultra-Thin Pipe ports
- Gigabit Ethernet on VPX fabric connector
 - Pipe definition, Ethernet Fat Pipe 10GBASE-KX4, 10GBASE-BX4, Ultra Thin Pipe 1000BASE-KX, 1000BASE-BX

PMC/XMC REAR I/O FABRIC SIGNAL MAPPING ON 3U AND 6U VPX MODULES STANDARD

- Mezzanine card Rear I/O pattern maps
- Mezzanine Type label
- 3U vita 46.0 connector pin mapping
- 6U vita 46.0 connector pin mapping
- Electrical specifications

REAR TRANSITION MODULE

- General arrangement of front and rear modules
- Alignment keying sockets
- Current and power per RTM slot
- Connector pin definitions RP0

OPEN VPX

- Bringing versatile system architectural solutions to the VPX market
- Description of a series of standard profiles
- System Interoperability Diagram with interface content
- Profiles definition
- Backplane profile topologies: centralized, distributed, hybrid
- Mechanical requirements
- Slot profile
- Backplane profile
- Module profile
- Standard development chassis profile

Renseignements pratiques

Renseignements : 2 jours